

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-245226

(43)Date of publication of application : 29.09.1989

(51)Int.Cl.

G02F 1/133
H01L 27/12
H01L 29/78

(21)Application number : 63-074035

(71)Applicant : SEIKOSHA CO LTD
NIPPON PRECISION CIRCUITS
KK

(22)Date of filing : 28.03.1988

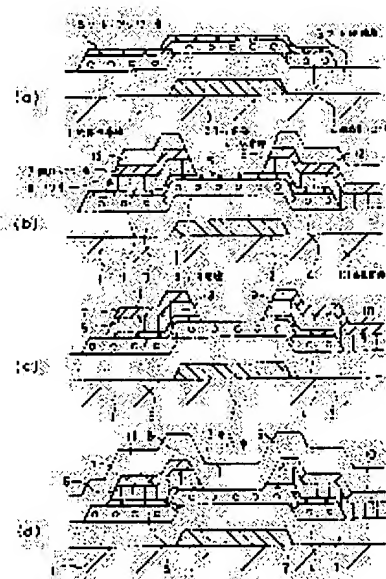
(72)Inventor : TANAKA SAKAE
WATANABE YOSHIKI
MOTAI NOBORU
OGIWARA YOSHIHISA
SHIRAI KATSUO
SAITO KAZUNORI

(54) PRODUCTION OF ACTIVE MATRIX SUBSTRATE

(57)Abstract:

PURPOSE: To prevent the deterioration of image quality by forming a silicon oxide layer on an ITO layer at the same pattern as the pattern of the ITO layer so that the ITO layer is prevented from being reduced even if a silicon nitride layer is used as a protective film.

CONSTITUTION: The ITO layer 6 is formed by a vacuum vapor deposition method and further, the silicon oxide layer 7 is formed by a plasma CVD method. A photoresist 12 is coated on the silicon oxide layer 7 and is developed to the shapes of source electrodes 8, drain electrodes 9, picture element electrodes 10 and source wirings 11. The silicon oxide layer is then etched with the photoresist 12 as a mask by a soln. of hydrofluoric acid: ammonium fluoride=1:6 and in succession, the ITO layer 6 is etched by a ferric chloride soln. Since the silicon oxide layer 7 is formed at the same pattern as the pattern of the ITO layer 6 on the ITO layer 6, the exposure of the ITO layer 6 to a reducing gaseous atmosphere of ammonia, etc., is obviated at the time of forming the silicon nitride layer 13. The high-quality image is thereby obtd.



③ 公開特許公報(A) 平1-245226

⑥ Int. Cl.⁴ 識別記号 庁内整理番号 ⑧ 公開 平成1年(1989)9月29日
 G 02 F 1/133 3 2 7 7370-2H
 H 01 L 27/12 A-7514-5F
 29/78 3 1 1 Y-7925-5F 審査請求 未請求 請求項の数 1 (全5頁)

⑨ 発明の名称 アクティブマトリクス基板の製造方法

⑩ 特 願 昭63-74035

⑪ 出 願 昭63(1988)3月28日

⑫ 発 明 者 田 中 栄 東京都墨田区太平4丁目1番1号 株式会社精工舎内
 ⑬ 発 明 者 渡 辺 善 昭 東京都墨田区太平4丁目1番1号 株式会社精工舎内
 ⑭ 発 明 者 番 昇 栃木県那須郡塩原町大字下田野531-1 日本プレシジョン・サーキッツ株式会社内
 ⑮ 発 明 者 萩 原 芳 久 栃木県那須郡塩原町大字下田野531-1 日本プレシジョン・サーキッツ株式会社内
 ⑯ 出 願 人 株式会社精工舎 東京都中央区京橋2丁目6番21号
 ⑰ 出 願 人 日本プレシジョン・サーキッツ株式会社 東京都中央区銀座3丁目5番8号
 ⑱ 代 理 人 弁理士 松田 和子
 最終頁に続く

明 細 書

1. 発明の名称

アクティブマトリクス基板の製造方法

2. 特許請求の範囲

ゲート電極が形成された絶縁性基板上に、ゲート絶縁層、非晶質シリコン層およびリン・ドーブシリコン層を順次形成し、上記非晶質シリコン層およびリン・ドーブシリコン層をゲート電極と密なるようにパターニングする工程と、

上記パターニングされたリン・ドーブシリコン層を有する上記絶縁性基板上に、ITO (Indium Tin Oxide) 層と酸化シリコン層を順次形成し、上記酸化シリコン層をソース電極、ドレイ電極および側電極の形状にパターニングした後、このパターンから露出したITO層を除去する工程と、

上記パターニングされた酸化シリコン層の存在しない部分のリン・ドーブシリコン層を除去して非晶質シリコン層を露出させる工程と、

上記露出した非晶質シリコン層を有する上記絶縁性基板上に、酸化シリコン層を形成する工程と

を有することを特徴とするアクティブマトリクス基板の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、アクティブマトリクス基板の製造方法に関するものである。

【従来の技術】

近年薄型の画像表示器として、液晶マトリクス表示器、とりわけ各画素毎にスイッチング素子を設けた、いわゆるアクティブマトリクス型の液晶表示器が各所で研究開発されている。スイッチング素子としては非晶質シリコン(以下、a-Siという)を用いたMIS型の薄膜トランジスタ(以下、TFETという)が主として利用されている。

第3図は、上記TFETを用いたアクティブマトリクス型の液晶表示器の回路構成例を表わしたものである。

各画素番号21のなかで、例えばX1が選択されると、これに連なるTFET23のゲートは一斉

にオンし、これらオンしたTFT23のソースを
通して、画像信号線22より、画像情報に対応し
た信号電圧がTFT23のドレインに伝達される。
ドレインには画素電極24が接続され、この画素
電極24と、液晶層25をはさんで他方の基板
上に形成された対向電極26との電圧差により、
液晶層25の光透過率を変化させて画像表示を行
う。Xiが非選択状態になると、引き抜きXi+1が
選択され、上記と同様な動作が行われる。なおゲ
ートがオフした後も、画素電極24と対向電極2
6間の電圧差は、次に同一走査信号線が選択され
るまで液晶層25により保存されるため、液晶層
25はスタティック駆動されることになり、高コ
ントラストの表示を得ることができる。

第4図は、上記TFTに用いられるa-SiT
FETの製造工程を表わした断面図である。同図に
おいて、1は絶縁性基板、2はゲート電極、3は
ゲート絶縁層、4は非晶質シリコン層、5はリン
ドープシリコン層、6はITO(indium tin oxide)
層、8、9、10、11はそれぞれITO層

ドレイン電極9、画素電極10およびソース配線
11を形成し、フォトリソist12を剥離する。
(d)保護膜として窒化シリコン層13をプラズ
マCVD法により堆積する。

〔解決しようとする課題〕

保護膜として窒化シリコン層13を使用する場
合、窒化シリコン層13は、アンモニア等の還元
性ガス雰囲気中で形成されるため、ITO層6が
還元され、ITO層6の透明度が著しく低下する。
ITO層6は画素電極10として使用されるため、
透明度が低下すると画像品質が劣化するという問
題を生じる。

本発明は、上記従来の課題に対してなされたも
のであり、保護膜として窒化シリコン層を使用し
てもITO層が還元されないようなアクティブマ
トリクス基板の製造方法を提供することを目的と
している。

〔課題を解決するための手段〕

本発明は、ゲート電極が形成された絶縁性基板
上にゲート絶縁層、非晶質シリコン層およびリン

6により形成されたソース電極、ドレイン電極、
画素電極およびソース配線、12はフォトリソist
ト、13は窒化シリコン層である。

以下、同図の(a)から(b)に従い製造工程
の説明を行う。

(a)絶縁性基板1上にゲート電極2およびゲ
ート配線(図示せず)を形成する。引き抜き、ゲ
ート絶縁層3、非晶質シリコン層4および不純物と
してリンを含んだリンドープシリコン層5を堆積
し、上記非晶質シリコン層4およびリンドープシ
リコン層5をゲート電極2と異なるような形状に
パターニングする。

(b)ITO層6を真空蒸着法により堆積し、フ
ォトリソist12を塗布して、このフォトリソist
12をソース電極8、ドレイン電極9、画素電
極10およびソース配線11の形状に現像する。
このフォトリソist12をマスクとしてITO層
8をエッチングする。

(c)上記フォトリソist12をマスクとして、
リンドープシリコン層5を除去し、ソース電極8、

ドープシリコン層を順次形成し、上記非晶質シリ
コン層およびリンドープシリコン層をゲート電極
と異なるようにパターニングする工程と、上記パ
ターニングされたリンドープシリコン層を有する
上記絶縁性基板上に、ITO層と窒化シリコン層
を順次形成し、上記窒化シリコン層をソース電極、
ドレイン電極および画素電極の形状にパターニン
グした後、このパターンから露出したITO層を
除去する工程と、上記パターニングされた窒化シ
リコン層の存在しない部分のリンドープシリコン
層を除去して非晶質シリコン層を露出させる工程
と、上記露出した非晶質シリコン層を有する上記
絶縁性基板上に、窒化シリコン層を形成する工程
とを有して、非晶質シリコン薄膜トランジスタを
製造することにより上記目的を達成している。

〔実施例〕

以下本発明における実施例を図面に基いて説明
する。

第1図において、1は絶縁性基板、2はゲート
電極、3はゲート絶縁層、4は非晶質シリコン層、

5 はリンドープシリコン層、6 はITO層、7 は酸化シリコン層、8、9、10、11 はそれぞれ上記ITO層8により形成されたソース電極、ドレイン電極、画素電極およびソース配線、12 はフォトレジスト、13 は窒化シリコン層である。

以下、同図の(a)から(d)に示された工程順に従い説明を行う。

(a) ガラス等の絶縁性基板1上に、ゲート配線(図示せず)およびゲート電極2(以下、両者を総称してゲート電極という)を形成する。窒化シリコンを用いたゲート絶縁層3、非晶質シリコン層4、リンドープシリコン層5をプラズマCVD法により堆積し、上記非晶質シリコン層4およびリンドープシリコン層5をCF₄系のガスを用いたプラズマエッチング法により選択的にエッチングして、ゲート電極2と重なるパターンを形成する。

(b) ITO層6を真空蒸着法により形成し、さらに酸化シリコン層7をプラズマCVD法により形成する。上記酸化シリコン層7上にフォトレジ

スト12を塗布し、このフォトレジストをソース電極8、ドレイン電極9、画素電極10、ソース配線11の形状に現像する。このフォトレジスト12をマスクとして酸化シリコン層7をフッ酸：フッ化アンモニウム=1：8の溶液にてエッチングし、引き続きITO層8を塩化第二鉄系溶液にてエッチングする。なお、ITO層8をエッチングする前にフォトレジスト12を剥離して、酸化シリコン層7のパターンをマスクとしてITO層6をエッチングしてもよい。また、酸化シリコン層7を堆積後、酸化シリコン層を堆積してフォトレジスト12を塗布してもよい。このとき窒化シリコン層は酸化シリコン層7のエッチング溶液で、酸化シリコン層7と同時にエッチングを行えばよい。

(c) フォトレジスト12または酸化シリコン層7のパターンをマスクとして、リンドープシリコン層5をフッ酸：硝酸：酢酸=1：60：60の溶液を用いてエッチングする。フォトレジスト12をマスクとして用いたときには、これを剥離す

る。なお、(b)の工程で酸化シリコン層7上に窒化シリコン層を形成したときには、これをマスクとしてリンドープシリコン層5をエッチングしてもよい。

(d) シランとアンモニアの混合ガスを用いて窒化シリコン層13をプラズマCVD法により形成し、保護膜とする。

以上の製造工程にて製造されたa-Si TFTでは、ITO層8上に酸化シリコン層7がITO層8と同一パターンで形成されているため、酸化シリコン層13を形成するときに、ITO層8がアンモニア等の還元性ガス雰囲気中に晒されることはない。従ってITO層8は還元されることはないため、透明度が低下することはない。なお酸化シリコン層7は透明であるため、画素電極10の透明度は低下しない。さらに窒化シリコン層13をプラズマCVD法で形成する時に、酸化シリコン層7によりITO層8に含まれるIn、Sn等の重金属やアルカリイオンの飛散を防止できるため、a-Si TFTの信頼性低下を防止すること

ができる。

第2図には他の実施例を示しており、本例では、リンドープシリコン層5とITO層6の間にTiやCr等で形成された金属層14を設けたものであるが、上記第1の実施例に対し以下の工程を付加することにより製造することができ、第1の実施例と同様の効果を得ることができる。

(1) (a)の工程で、非晶質シリコン層4およびリンドープシリコン層5をエッチングする前に金属層14をエッチングする。

(2) (c)の工程で、リンドープシリコン層5をエッチングする前に金属層14をエッチングする。

【発明の効果】

本発明によれば、ITO層上に酸化シリコン層が、ITO層と同一パターンで形成されているため、窒化シリコン層を形成するときの還元性ガスにITO層が晒される事はなく、ITO層の透明度が低下することがなく、配線の抵抗値も増加することがない。従って、高品質の画素を得ること

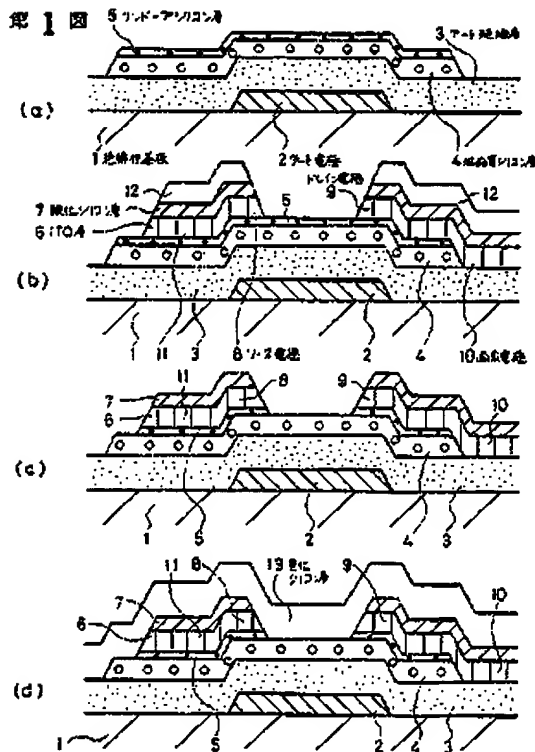
が可能となる。

また、窒化シリコン層をプラズマCVD法で形成する場合、酸化シリコン層によりITO層が直接プラズマに晒されることがないので、ITO層に含まれるIn、Sn等の重金属やアルカリイオンの飛散を防止することができ、a-Si TFTの信頼性向上に寄与する。

4. 図面の簡単な説明

第1図は本発明における第1の実施例を示した工程断面図、第2図は本発明における第2の実施例を示した断面図、第3図はアクティブマトリクス型の液晶表示器の原理を示した電気回路図、第4図は従来例を示した工程断面図である。

- 1…絶縁性基板
- 2…ゲート電極
- 3…ゲート絶縁層
- 4…非晶質シリコン層
- 5…リンドープシリコン層
- 6…ITO層
- 7…酸化シリコン層

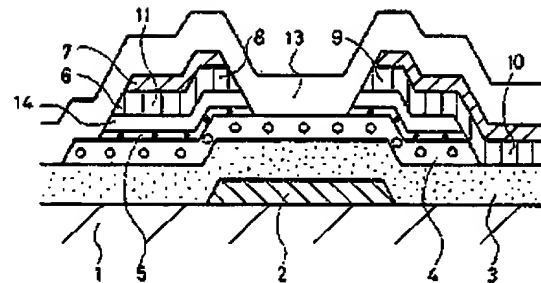


- 8…ソース電極
- 9…ドレイン電極
- 10…画素電極
- 13…窒化シリコン層

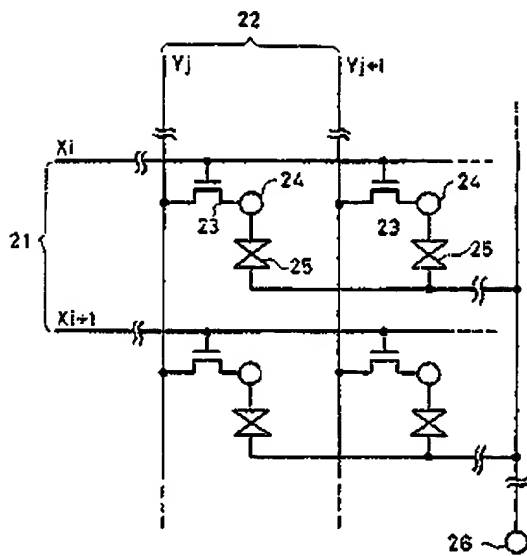
以上

出願人 株式会社精工舎
出願人 日本プレジジョン・サーキット株式会社
代理人弁理士 松田和子

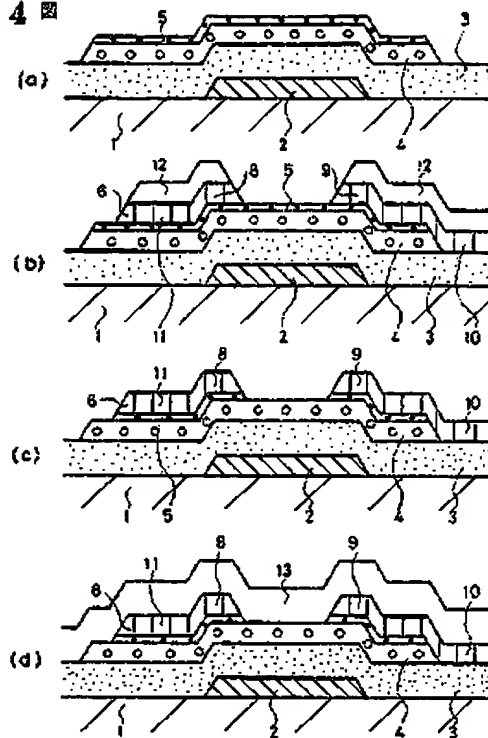
第2図



第3図



第4図



第1頁の続き

②発明者 白 井 勝 天 栃木県那須郡塩原町大字下田野531-1 日本プレジ
ン・サーキッツ株式会社内
②発明者 齋 藤 和 則 栃木県那須郡塩原町大字下田野531-1 日本プレジ
ン・サーキッツ株式会社内